

日本国特許庁
JAPAN PATENT OFFICE

JC781 U.S. PTO
10/020523
10/31/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年11月22日

出願番号

Application Number:

特願2000-355741

出願人

Applicant(s):

富士電機株式会社

2001年 6月25日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造

出証番号 出証特2001-3059777

【書類名】 特許願

【整理番号】 00P01645

【提出日】 平成12年11月22日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式
会社内

【氏名】 小林 孝

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式
会社内

【氏名】 藤平 龍彦

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式
会社内

【氏名】 阿部 和

【特許出願人】

【識別番号】 000005234

【氏名又は名称】 富士電機株式会社

【代理人】

【識別番号】 100088339

【弁理士】

【氏名又は名称】 篠部 正治

【手数料の表示】

【予納台帳番号】 013099

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

特2000-355741

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715182

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 M O S型半導体装置

【特許請求の範囲】

【請求項1】 第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルを囲んで配置された複数の第2導電形ガードリングを備えた半導体装置において、半導体装置の耐圧をVbr (V)、前記複数の第2導電形ガードリングの数をn (本) としたとき、nを $1.0 \times Vbr (V) / 100$ 以上とすることを特徴とするM O S型半導体装置。

【請求項2】 請求項1記載のM O S型半導体装置において、nを $1.5 \times Vbr (V) / 100$ 以上とすることを特徴とするM O S型半導体装置。

【請求項3】 請求項1又は請求項2記載のM O S型半導体装置において、nを $6.0 \times Vbr (V) / 100$ 以下とすることを特徴とするM O S型半導体装置。

【請求項4】 第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルを囲んで配置された複数の第2導電形ガードリングを備えた半導体装置において、第2導電形ウェルと1番目の第2導電形ガードリングとの間隔が $1 \mu m$ 以下であることを特徴とするM O S型半導体装置。

【請求項5】 第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルを囲んで配置された複数の第2導電形ガードリングを備えた半導体装置において、第2導電形ウェルと1番目の第2導電形ガードリングとの間隔が $0.5 \mu m$ 以下であることを特徴とするM O S型半導体装置。

【請求項6】 第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルを囲んで配置された複数の第2導電形ガードリングを備えた半導体装置において、第2導電形ウェル

と1番目の第2導電形ガードリングとが接続されていることを特徴とするMOS型半導体装置。

【請求項7】第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルを囲んで配置された複数の第2導電形ガードリングを備えた半導体装置において、1番目の第2導電形ガードリングと2番目の第2導電形ガードリングとの間隔が $1.5\mu m$ 以下であることを特徴とするMOS型半導体装置。

【請求項8】請求項7記載のMOS型半導体装置において、1番目の第2導電形ガードリングと2番目の第2導電形ガードリングとの間隔が $1\mu m$ 以下であることを特徴とするMOS型半導体装置。

【請求項9】請求項7記載のMOS型半導体装置において、1番目の第2導電形ガードリングと2番目の第2導電形ガードリングとの間隔が $0.5\mu m$ 以下であることを特徴とするMOS型半導体装置。

【請求項10】請求項7記載のMOS型半導体装置において、1番目の第2導電形ガードリングと2番目の第2導電形ガードリングとが接続されていることを特徴とするMOS型半導体装置。

【請求項11】請求項10記載のMOS型半導体装置において、2番目の第2導電形ガードリングと3番目の第2導電形ガードリングとの間隔が $1\mu m$ 以下であることを特徴とするMOS型半導体装置。

【請求項12】請求項10記載のMOS型半導体装置において、2番目の第2導電形ガードリングと3番目の第2導電形ガードリングとの間隔が $0.5\mu m$ 以下であることを特徴とするMOS型半導体装置。

【請求項13】請求項10記載のMOS型半導体装置において、2番目の第2導電形ガードリングと3番目の第2導電形ガードリングとが接続されていることを特徴とするMOS型半導体装置。

【請求項14】請求項13記載のMOS型半導体装置において、3番目の第2導電形ガードリングと4番目の第2導電形ガードリングとの間隔が $1\mu m$ 以下であることを特徴とするMOS型半導体装置。

【請求項15】請求項13記載のMOS型半導体装置において、3番目の第2導電形ガードリングと4番目の第2導電形ガードリングとの間隔が $0.5\mu m$ 以下であることを特徴とするMOS型半導体装置。

【請求項16】第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルを囲んで配置された複数の第2導電形ガードリングを備えた半導体装置において、前記第2導電形ウェルと第2導電形ガードリングの内浅い方の深さをdとしたとき、前記第2導電形ウェルと1番目の第2導電形ガードリングとの間隔がd/4以下であることを特徴とするMOS型半導体装置。

【請求項17】請求項16記載のMOS型半導体装置において、前記第2導電形ウェルと1番目の第2導電形ガードリングとの間隔がd/8以下であることを特徴とするMOS型半導体装置。

【請求項18】第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルを囲んで配置された複数の第2導電形ガードリングを備えた半導体装置において、前記第2導電形ガードリングの深さをd'としたとき、1番目の第2導電形ガードリングと2番目の第2導電形ガードリングとの間隔がd'/4以下であることを特徴とするMOS型半導体装置。

【請求項19】請求項18記載のMOS型半導体装置において、1番目の第2導電形ガードリングと2番目の第2導電形ガードリングとの間隔がd'/8以下であることを特徴とするMOS型半導体装置。

【請求項20】第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルを囲んで配置された複数の第2導電形ガードリングを備えた半導体装置において、前記第2導電形ガードリングの深さをd'としたとき、2番目の第2導電形ガードリングと3番目の第2導電形ガードリングとの間隔がd'/4以下であることを特徴とするMOS型半

導体装置。

【請求項21】請求項20記載のMOS型半導体装置において、1番目の第2導電形ガードリングと2番目の第2導電形ガードリングとの間隔が $d'/8$ 以下であることを特徴とするMOS型半導体装置。

【請求項22】第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルを囲んで配置された複数の第2導電形ガードリングを備えた半導体装置において、前記第2導電形ウェルと1番目の第2導電形ガードリングとの間隔を11、1番目の第2導電形ガードリングと2番目の第2導電形ガードリングとの間隔を12としたとき、12-11を $1\mu m$ 以下としたことを特徴とするMOS型半導体装置。

【請求項23】請求項22記載のMOS型半導体装置において、12-11を $0.5\mu m$ 程度としたことを特徴とするMOS型半導体装置。

【請求項24】第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルを囲んで配置された複数の第2導電形ガードリングを備えた半導体装置において、1番目の第2導電形ガードリングと2番目の第2導電形ガードリングとの間隔を12、2番目の第2導電形ガードリングと3番目の第2導電形ガードリングとの間隔を13としたとき、13-12を $1\mu m$ 以下としたことを特徴とするMOS型半導体装置。

【請求項25】請求項24記載のMOS型半導体装置において、13-12を $0.5\mu m$ 程度としたことを特徴とするMOS型半導体装置。

【請求項26】第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルを囲んで配置された複数の第2導電形ガードリングを備えた半導体装置において、2番目の第2導電形ガードリングと3番目の第2導電形ガードリングとの間隔を13、3番目の第2導電形ガードリングと4番目の第2導電形ガードリングとの間隔を14としたとき、14-13を $1\mu m$ 以下としたことを特徴とするMOS型半導体装置。

【請求項27】請求項26記載のMOS型半導体装置において、14-13を0.5 μ m程度としたことを特徴とするMOS型半導体装置。

【請求項28】第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルを囲んで配置された複数の第2導電形ガードリングを備えた半導体装置において、1番目の第2導電形ガードリングの幅が5番目の第2導電形ガードリング幅より大きいことを特徴とするMOS型半導体装置。

【請求項29】第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルを囲んで配置された複数の第2導電形ガードリングを備えた半導体装置において、2番目の第2導電形ガードリングの幅が6番目の第2導電形ガードリング幅より大きいことを特徴とするMOS型半導体装置。

【請求項30】第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルを囲んで配置された複数の第2導電形ガードリングを備えた半導体装置において、3番目の第2導電形ガードリングの幅が7番目の第2導電形ガードリング幅より大きいことを特徴とするMOS型半導体装置。

【請求項31】請求項1乃至請求項30のいずれか1項に記載のMOS型半導体装置において、前記第2導電形ウェルと1番目の第2導電形ガードリングとの間の前記電圧支持層表面に絶縁膜を介して導電体膜を配置したことを特徴とするMOS型半導体装置。

【請求項32】請求項31記載のMOS型半導体装置において、前記導電体膜がフローティング電位であることを特徴とするMOS型半導体装置。

【請求項33】請求項1乃至請求項30のいずれか1項に記載のMOS型半導体装置において、1番目の第2導電形ガードリングと2番目の第2導電形ガードリングとの間の前記電圧支持層表面に絶縁膜を介して導電体膜を配置したことを特

徴とするMOS型半導体装置。

【請求項34】請求項33記載のMOS型半導体装置において、前記導電体膜がフローティング電位であることを特徴とするMOS型半導体装置。

【請求項35】請求項1乃至請求項30のいずれか1項に記載のMOS型半導体装置において、2番目の第2導電形ガードリングと3番目の第2導電形ガードリングとの間の前記電圧支持層表面に絶縁膜を介して導電体膜を配置したことを特徴とするMOS型半導体装置。

【請求項36】請求項35記載のMOS型半導体装置において、前記導電体膜がフローティング電位であることを特徴とするMOS型半導体装置。

【請求項37】請求項1乃至請求項30のいずれか1項に記載のMOS型半導体装置において、3番目の第2導電形ガードリングと4番目の第2導電形ガードリングとの間の前記電圧支持層表面に絶縁膜を介して導電体膜を配置したことを特徴とするMOS型半導体装置。

【請求項38】請求項37記載のMOS型半導体装置において、前記導電体膜がフローティング電位であることを特徴とするMOS型半導体装置。

【請求項39】請求項1乃至請求項38のいずれか1項に記載のMOS型半導体装置において、前記電圧支持層が第1導電形半導体領域からなることを特徴とするMOS型半導体装置。

【請求項40】請求項1乃至請求項38のいずれか1項に記載のMOS型半導体装置において、前記電圧支持層が第1導電形半導体領域と第2導電形半導体領域を交互に配置した領域を含むことを特徴とするMOS型半導体装置。

【請求項41】請求項1乃至請求項40のいずれか1項に記載のMOS型半導体装置において、半導体装置の表面保護膜として有機高分子材料膜を配置したことを特徴とするMOS型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はMOSFET, IGBT等に適用して高耐圧で低損失を実現させる為の半導体装置の構造に関する。

【0002】

【従来の技術】

一般にパワー半導体装置は基板の両面に電極部を持つ縦型半導体が多用されている。例えば図12は従来のプレーナ型のnチャネル縦型MOSFETの断面図である。以下、説明において、n+、n-は所定濃度に対して略高濃度、低濃度であることを示す。この縦型MOSFETはドレイン金属電極20が導電接合した低抵抗のn+基板11の上に配置された電圧支持層となるn-ドレイン層12と、n-ドレイン層12の上に選択的に配置されたpウェル層13と、pウェル層13内部の表面に選択的に形成されたn+ソース層15と、n+ソース層15とn-ドレイン層12の表面層14とに挟まれたpウェル層13の表面上にゲート絶縁膜17を介して設けられたゲート電極層18と、n+ソース層15とpウェル層13との表面に共通に接触して設けられたソース電極19を有する。また、上記デバイス内のソース電極19と接触するpウェル層13の表面にソース電極19との接触抵抗を低減させるあるいはラッチアップ耐量向上の為にpウェル層13よりも高濃度で浅いp+層21が設けられる場合もある。

【0003】

【発明が解決しようとする課題】

このような縦型デバイスにおいて、MOSFETがオン状態の時のオン抵抗は素子内部の電流経路の抵抗の総和として表すことが可能であるが、特に高耐圧素子では高抵抗のn-ドレイン層12の部分の抵抗が支配的になる。MOSFETの損失を下げる為にはこのn-ドレイン層12の抵抗を下げる事が有効であるが、オフ状態の時にはこのn-ドレイン層12が空乏化して電圧支持層となる為、n-ドレイン層12の厚さを薄くしたり不純物濃度を上げて抵抗値を下げようとすると耐圧低下が起きてしまう。逆に耐圧の高い半導体装置ではn-ドレイン層12が厚くなるため必然的にオン抵抗が高くなり、損失が大きくなる。すなわちオン抵抗と耐圧の間にはトレードオフ関係がある。このトレードオフ関係はIGBT、バイポーラトランジスタ、ダイオード等の半導体素子に於いても同様に成立することが知られている。

【0004】

一方、一般的にパワー半導体の耐圧構造については、フィールトプレート構造、抵抗性膜+フィールドプレート構造あるいはガードリング構造が使用されていた。

しかし、何れの構造も耐圧支持層の構造から計算される耐圧の90%以下の耐圧しか発生することが出来ない為、特願2000-331840号に記載の低オン抵抗を実現するデバイスに対しては活性部より先に耐圧構造部でブレークダウンしてしまうため、高耐圧で低オン抵抗のデバイスを実現することは出来なかった。

従来耐圧構造が耐圧支持層の構造から計算される耐圧のおよそ90%以下の値しか発生出来ない理由は、電圧支持層上に配置されたソース電位のpウェルの最外周が電圧支持層と接合する部分のpn接合の形状が曲率を持っているため、vd_sに対してこの曲率部分の電界強度が上昇し耐圧支持層の構造から計算される耐圧のおよそ90%以下の印加電圧で臨界電界強度に到達してしまい、ブレークダウンするためである。

以上のような状況に鑑み本発明の目的は、オン抵抗と耐圧とのトレードオフ関係を大幅に改善させて、高耐圧でありながらオン抵抗の低減を実現可能とする半導体素子について特に耐圧構造を提供することにある。

【0005】

【課題を解決するための手段】

まず第1の手段を示す。

上記課題解決のため、第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルを囲んで配置された複数の第2導電形ガードリングを備えた半導体装置において、半導体装置の耐圧をV_{br} (V)、前記複数の第2導電形ガードリングの数をn (本) としたとき、nを $1.0 \times V_{br} / 100$ 以上とする耐圧構造とすることで、電圧支持層が低抵抗で高耐圧を発生させることが可能となる。更に、前記複数の第2導電形ガードリングの数nを $1.5 \times V_{br} / 100$ 以上とするすることでより高耐圧を発生させることが可能である。一方、前記ガードリングの数を増やしても発生耐圧は電圧支

持層の構造で決まる限界以上には高耐圧にならず、耐圧構造の幅が広くなるだけである。そこで、前記ガードリングの数nを $6.0 \times V_{br}/100$ 以下とすることで効率的なガードリング幅が提供できる。

【0006】

次に第2の手段を述べる。

第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルを囲んで配置された複数の第2導電形ガードリングを備えた半導体装置において、第2導電形ウェルと1番目の第2導電形ガードリングとの間隔が $1 \mu m$ 以下とすることで、前記半導体表面に配置された第2導電形ウェルの外周の電圧支持層との接合形状による電界集中を緩和することが出来て高耐圧化が可能となる。同様に前記ウェルと前記1番目のガードリングとの間隔が $0.5 \mu m$ 以下であると更に高耐圧となる。

加えて、前記ウェルと前記1番目のガードリングとが半導体表面部分で接続された場合は表面部の接続部分が空乏化すれば電界強度の緩和効果は最大で耐圧は最も高く出来る。

【0007】

次に第3の手段を述べる。

第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルを囲んで配置された複数の第2導電形ガードリングを備えた半導体装置において、1番目の第2導電形ガードリングと2番目の第2導電形ガードリングとの間隔が $1.5 \mu m$ 以下とすることで、第2の手段で述べた理由と同様に、前記1番目のガードリングの前記2番目のガードリングと対抗している電圧支持層との接合部分の電界強度が緩和出来て、高耐圧化が可能となる。同様に1番目のガードリングと2番目のガードリングとの間隔を $1 \mu m$ 以下、 $0.5 \mu m$ 以下、接続している状態とすることで順により高耐圧化が可能となる。

更に前記1番目ガードリングと2番目のガードリングが接続した状態で2番目のガ

ードリングと3番目のガードリングの間隔が $1 \mu m$ 以下、 $0.5 \mu m$ 以下、接続している状態とすることで順により高耐圧化が可能となる。

更に前記2番目ガードリングと3番目のガードリングが接続した状態で3番目のガードリングと4番目のガードリングの間隔が $1 \mu m$ 以下、 $0.5 \mu m$ 以下とすることで順により高耐圧化が可能となる。

【0008】

次に第4の手段を述べる。

第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルを囲んで配置された複数の第2導電形ガードリングを備えた半導体装置において、前記第2導電形ウェルと第2導電形ガードリングの内浅い方の深さを d としたとき、前記第2導電形ウェルと1番目の第2導電形ガードリングとの間隔が $d/3.5$ 以下とすることで、第1の手段と同様の理由で高耐圧化が可能となる。

更に、前記第2導電形ウェルと1番目の第2導電形ガードリングとの間隔が $d/7$ 以下とすることで高耐圧化が可能である。

【0009】

次に第5の手段を述べる。

第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルを囲んで配置された複数の第2導電形ガードリングを備えた半導体装置において、前記第2導電形ガードリングの深さを d' としたとき、1番目の第2導電形ガードリングと2番目の第2導電形ガードリングとの間隔が $d'/3.5$ 以下とすることで、第1の手段と同様の理由で高耐圧化が可能となる。

更に、前記1番目のガードリングと2番目のガードリングとの間隔が $d'/7$ 以下とすることで高耐圧化が可能である。

【0010】

次に第6の手段を述べる。

第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルを囲んで配置された複数の第2導電形ガードリングを備えた半導体装置において、前記第2導電形ガードリングの深さを d' としたとき、2番目の第2導電形ガードリングと3番目の第2導電形ガードリングとの間隔が $d'/3.5$ 以下とすることで、第1の手段と同様の理由で高耐圧化が可能となる。

更に、前記1番目のガードリングと2番目のガードリングとの間隔が $d'/7$ 以下とすることで高耐圧化が可能である。

【0011】

次に第7の手段を述べる。

第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルを囲んで配置された複数の第2導電形ガードリングを備えた半導体装置において、前記第2導電形ウェルと1番目の第2導電形ガードリングとの間隔を11、1番目の第2導電形ガードリングと2番目の第2導電形ガードリングとの間隔を12としたとき、12-11を $1\mu\text{m}$ 以下とすることで、第1の手段と同様の理由で向上する耐圧の効果を1本目と2本目の間隔で落とさないことが可能となる。

一方、前記12-11を $0.5\mu\text{m}$ より小さく設定していくと、耐圧を落とさない効果は変わらずに、1本目と2本目のガードリング間の電位差が小さくなり寸法効率が悪くなることから、前記12-11が $0.5\mu\text{m}$ 程度が最適である。

次に第8の手段を述べる。

【0012】

第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルを囲んで配置された複数の第2導電形ガードリングを備えた半導体装置において、1番目の第2導電形ガードリングと2番目の第2導電形ガードリングとの間隔を12、2番目の第2導電形ガードリング

と3番目の第2導電形ガードリングとの間隔を13としたとき、13-12を1 μ m以下とすることで、第6の手段と同様の理由で向上する耐圧の効果を2本目と3本目の間隔で落とさないことが可能となる。

【0013】

一方、前記13-12を0.5 μ mより小さく設定していくと、耐圧を落とさない効果は変わらずに、2本目と3本目のガードリング間の電位差が小さくなり寸法効率が悪くなることから、前記13-12が0.5 μ m程度が最適である。

次に第9の手段を述べる。

第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルを囲んで配置された複数の第2導電形ガードリングを備えた半導体装置において、2番目の第2導電形ガードリングと3番目の第2導電形ガードリングとの間隔を13、3番目の第2導電形ガードリングと4番目の第2導電形ガードリングとの間隔を14としたとき、14-13を1 μ m以下とすることで、第7の手段と同様の理由で向上する耐圧の効果を3本目と4本目の間隔で落とさないことが可能となる。

一方、前記14-13を0.5 μ mより小さく設定していくと、耐圧を落とさない効果は変わらずに、3本目と4本目のガードリング間の電位差が小さくなり寸法効率が悪くなることから、前記14-13が0.5 μ m程度が最適である。

としたことを特徴とする半導体装置。

【0014】

次に第10の手段を述べる。

第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルを囲んで配置された複数の第2導電形ガードリングを備えた半導体装置において、1番目の第2導電形ガードリングの幅が5番目の第2導電形ガードリング幅より大きく設定することで、外側よりも高い電界強度となる内側のガードリングの電界強度を緩和することが出来る。

同様の理由で2番目のガードリングの幅が6番目のガードリング幅より大きく、3

番目のガードリングの幅が7番目のガードリング幅より大きくすることで、高耐圧化が可能となる。

【0015】

次に第11の手段を述べる。

前記第2導電形ウェルと1番目の第2導電形ガードリングとの間の前記電圧支持層表面に絶縁膜を介して導電体膜を配置することで、耐圧構造表面の電荷が半導体表面に及ぼす影響を遮蔽出来るので、安定した耐圧が確保出来る。

この効果は前記導電体がフローティング電位であっても効果に変わりは無く、1番目と2番目、2番目と3番目、3番目と4番目のガードリングとの間の前記電圧支持層表面に絶縁膜を介して導電体膜を配置した構造も当然効果が期待出来る。

【0016】

本発明の作用について耐圧とオン抵抗の関係から簡単に説明する。Huの論文等で明らかなようにユニポーラデバイスではオン抵抗は耐圧の2.5乗に比例することが知られている。オン抵抗を R_{on} とすると $R_{on} \propto V_{br}^{2.5}$ で表される。

つまり耐圧を1%向上するとオン抵抗は2.5%低減につながり、耐圧5%の向上はオン抵抗13%の低減となり、耐圧7.5%の向上はオン抵抗20%の大幅低減が可能となる画期的効果を持つことになる。本発明はこの耐圧向上効果を効率的に提供する耐圧構造に関する内容である。

【0017】

第1導電形低抵抗領域と、第1導電形低抵抗領域上に配置され少なくとも第1導電形半導体領域を含む電圧支持層と、電圧支持層上に配置された第2導電形ウェルと、半導体表面において前記第2導電形ウェルを囲んで配置された複数の第2導電形ガードリングを備えた半導体装置において、半導体装置の耐圧を V_{br} (V)、前記複数の第2導電形ガードリングの数を n (本) としたとき、 n を $1.0 \times V_{br}/100$ 以上としたデバイスの作用と効果を以下に述べる。

【0018】

図1は本発明を適用して耐圧700Vを持つ耐圧構造断面図である。本発明は従来の耐圧構造が耐圧を落とす原因となっていたpウェルとn-ドレイン領域

との p_n 接合部分の曲率形状部分の直近に1番目のガードリングを配置することで前記 p ウェルから伸びる空乏層が簡単に1番目のガードリングに到達し、 p ウェルと1番目のガードリング間の距離が短いことから、曲率形状部分の電界強度を極端に低減することが可能となり、 n -ドレイン領域の抵抗が低くても高耐圧化が可能となる。同様の関係が1番目のガードリングと2番目のガードリング間、2番目のガードリングと3番目のガードリング間のように隣り合うガードリング間で成立することから高耐圧化が可能となる。

【0019】

次に、本発明の耐圧とガードリング本数の関係及び効果について説明する。図4に本発明を適用した耐圧構造の2次元シミュレーションによるガードリング本数と耐圧の関係を示す。シミュレーションに使用した n -ドレイン層の特性は S_i に不純物としてリンを用いた場合の特性で、 $\rho = 18 \Omega \text{ cm}$ 、厚さ $t = 48.5 \mu \text{m}$ の S_i (b1線) と $\rho = 22.5 \Omega \text{ cm}$ 、 $t = 57 \mu \text{m}$ の S_i (b2線) の2種類である。各 S_i 共ガードリングの本数が増えるに従い耐圧 V_{br} も高くなるが、シミュレーション上 n -ドレイン領域の S_i 特性から計算される平面接合の97%乃至98%程度の耐圧で飽和してしまい、ガードリング本数を増やしても耐圧は変わらなくなる。従来技術の耐圧構造では前記 S_i 特性から計算される平面接合耐圧の90%程度であることから、本特許に関して従来技術からの効果を明確に規定するために、ガードリング本数 n と耐圧 V_{br} を使用して $n = 1.0 \times V_{br} / 100$ の式を規定 (b3線) する。この関係式で示される以上のガードリング本数とすることで高耐圧化の効果が期待出来る。更に、ガードリング本数を増やしても耐圧増加が起きない耐圧となる最低のガードリング本数を示す関係は $n = 1.5 \times V_{br} / 100$ (b4線) となる。

この関係以上のガードリング本数を使用することで結晶の持つ最大の耐圧を確保出来る事になる。一方、ガードリングの本数を増やすと耐圧構造幅が広くなり、実デバイスではチップサイズが大きくなる弊害を生じる。上記説明より、ガードリング本数を増やしても耐圧が飽和してしまうことからガードリング本数の上限を設けることが実際的である。この上限は、本発明を適用したデバイスの耐久性試験等で想定される耐圧構造表面の電荷蓄積効果に対する耐量を考慮して、本発

明の効果が始まる関係のガードリング本数のおおむね6倍が相当である。つまり、その関係式は $n = 6.0 \times V_{br} / 100$ (b 5線) となる。この関係式以下のガードリング寸法とすることで、デバイス表面の電荷蓄積効果を防ぎながらチップサイズを小さく、高耐圧化が実現できる。

【0020】

次に、本発明のpウェルと1本目ガードリングの間隔と耐圧の関係やn本目のガードリングと(n+1)本目のガードリング間隔と耐圧の関係及び効果について説明する。図5はpウェルと1本目ガードリングとの間隔と耐圧の関係を1本目ガードリング幅の中心を境界条件とする簡易モデルによる2次元シミュレーションで試算した結果である。この時のn-ドレイン領域の特性は $\rho = 22.5 \Omega$ cm、厚さ $t = 57.0 \mu m$ のSiを使用した。また、pウェル、ガードリングの深さは $3.5 \mu m$ である。pウェルからガードリング間隔が離れるに従い耐圧は単調に低下して、 $3 \mu m$ でn-ドレイン層と従来耐圧構造の組み合わせの耐圧になってしまふ。図5でpウェルとガードリングの接続を示す $0 \mu m$ からpウェルとガードリングの重なりを示す寸法である負の寸法領域まで耐圧は上昇して $-1 \mu m$ 程度で飽和する。この理由はガードリングがpウェルから離れるとpウェルのpn接合の曲率形状に対する電界強度が増加して耐圧低下が発生し、近づくと曲率形状に対する電界強度が緩和されて、pウェルとガードリングの重なりが $1 \mu m$ 程度で曲率形状効果がおおむねなくなるからである。図5からpウェルと1本目ガードリング間隔は $1 \mu m$ 以下とすることでn-ドレイン層の持つ耐圧のおおむね95%以上(c1線)が確保でき従来構造(c2線)より5%耐圧向上可能となる。更にオン抵抗と耐圧の関係は $R_{on} \propto V_{br}^{2.5}$ が知られていることから従来構造より7.5%耐圧が向上するpウェルと1本目ガードリングの間隔を $0.5 \mu m$ 以下とすることで、オン抵抗の20%(c3線)低減可能となる、画期的効果が得られる。

同様に1本目と2本目のガードリングの間隔と2次元シミュレーションによる耐圧試算結果を図6に示す。Pウェルと1本目ガードリングとの間隔が $0.5 \mu m$ であるものをd1線で示し、 $1.0 \mu m$ であるものをd2線で示し、 $1.5 \mu m$ であるものをd3線で示している。2本目以降のガードリングに求められる重要

項目は1本目ガードリングで設定した耐圧を如何に落とさないかである。そこで1本目と2本目のガードリング間隔を $1 \mu m$ 以下とすることでpウェルと1本目ガードリングの関係で決まる耐圧のおおむね99%以上が確保出来て、 $0.5 \mu m$ 以下とすることでおおむね99.5%以上が確保可能な耐圧構造が可能となる。

同様に2本目と3本目のガードリングの間隔と耐圧の関係を図13に示す。何れも2本目と3本目のガードリング間隔を $1 \mu m$ 以下とすることで、pウェルと1本目、1本目と2本目のガードリングで決まる耐圧のおおむね99%以上が確保出来て、 $0.5 \mu m$ 以上とすることで前記耐圧のおおむね99.5%以上が確保できる耐圧構造が可能となる。

次に、デバイスは実使用状態ではドレイン、ソース間に電圧印加されている。この状態の耐久性に影響を与える項目にデバイス表面の電荷蓄積効果がある。耐圧構造の両端にある電極間にも電圧が印加されると耐圧構造表面に電荷が誘起され絶縁層を介して半導体表面、特にn-ドレイン層表面に影響を与え半導体内部の電界を乱して耐圧劣化に繋がる。その耐圧構造表面の電荷の影響を抑える為には、耐圧構造表面とn-ドレイン層の中間に導電体膜を設けることで表面電荷の影響を静電遮蔽効果を利用して防止することが出来る。活性部ではソース電極とゲート電極がn-ドレイン層表面を覆っていることから表面電荷の影響は受けない構造となっている。そこで本発明の耐圧構造内でpウェルとガードリングの間及びガードリング間のn-表面ドレイン層部分に対して絶縁膜を介して導電体膜を配置することで、表面電荷蓄積効果を防止することが可能となる。

【0021】

【発明の実施の形態】

以下に本発明の実施形態を添付図面に基づいて、説明する。

実施例1

図1は本発明の請求項1乃至9、16乃至20、22乃至30、39を適用した600V耐圧のnチャネル縦型MOSデバイスの耐圧構造断面模式図である。

pウェルと1番目ガードリング間や各ガードリング間の下に記入した数値は各領域の間隔を μm 単位で示した。

第1導電形低抵抗領域に相当するn+領域31と、n+上に配置された電圧支持

層に相当する n-層 32 と、 n-層 32 上に配置された第2導電形の p ウエル 21 と、半導体表面において前記 p ウエルを囲んで配置された複数の第2導電形ガードリング a1 乃至 a14 を備え、前記 n-層とガードリングの上に絶縁層 33 を有し、前記 p ウエルと半導体表面で接続するソース電極 35 と、前記ガードリングの外側にガードリングを囲んで配置されたドレイン電位 p 層 22 と、半導体表面の絶縁層 33 を介してガードリングを囲んで配置されたドレイン電位電極 34 と、前記ソース電極 35 及び前記絶縁層 33 及び前記ドレイン電位電極 34 の表面にパシベーション膜としてポリイミド膜層 37 を有し、 n+ 低抵抗領域 31 と接続するドレイン電極 36 を有する半導体装置において、耐圧 V_{br} (V) = 600 V に対し、前記複数のガードリングの数が 14 本となっている。この本数は、ガードリング本数 n を規定する $1.0 \times V_{br} / 100 = 1.0 \times 660 / 100 = 6.6$ 本以上となるデバイスの作用と効果を以下に述べる。

デバイスの耐圧は一般にソース電極 35 をグランド電位にしてドレイン電極 36 に正バイアスを印加した場合、ソース電位となる p ウエル 21 と n-ドレイン領域 32 の p n 接合から空乏層が n-ドレイン領域 32 に向かって広がる。この空乏層は活性部では半導体表面の p ウエルから下側の n-ドレイン領域に向かって広がるが、耐圧構造部分では p ウエルから下側の n-ドレイン領域の他に横方向に向かって空乏層が広がる。横方向に広がる空乏層に対してガードリングが非常に近くに設置されることで p ウエルと 1 番目のガードリング特に半導体表面部分では p ウエルの拡散層が曲率を持つことによる形状効果で増加する電界強度を抑制出来る。実施例 1 は p ウエルとガードリングの深さが 4 μ m で、 p ウエルと 1 本目ガードリングの間隔は 0 μ m で接続している。1 本目と 2 本目のガードリング間隔は 0.5 μ m、以降各ガードリング間隔は順番に 1 μ m、 1.5 μ m、 2 μ m、 2.5 μ m、 3 μ m、 3.5 μ m、 4 μ m、 5 μ m、 6 μ m、 7 μ m、 8 μ m、 9 μ m と設定されている。また、ガードリングの幅は 1 本面から順に 1.4 μ m、 1.45 μ m、 1.35 μ m、 1.35 μ m、 1.35 μ m、 1.25 μ m、 1.25 μ m、 1.15 μ m、 1.15 μ m、 1.05 μ m、 1.05 μ m、 1.05 μ m、 1.05 μ m と設定されている。

この設定とすることで、 Si 結晶の持つ耐圧の 97% 以上の耐圧が確保出来る。

【0022】

実施例2

図2は本発明の請求項1乃至9、16乃至20、22乃至29、39を適用したnチャネル縦型MOSデバイスの耐圧構造断面模式図である。

実施例3

図3は本発明の請求項1乃至9、16乃至20、22乃至29、31乃至39を適用したnチャネル縦型MOSデバイスの耐圧構造断面模式図である。ガードリング表面に絶縁層を介して導電体膜(n+ポリシリコン)を配してある。

実施例4

図7は本発明の請求項39を適用したnチャネル縦型MOSデバイスの耐圧支持層部分の模式図である。低抵抗n+領域上にn-領域が配置されている。

実施例5

図8は本発明の請求項40を適用したnチャネル縦型MOSデバイスの耐圧支持層部分の模式図である。低抵抗n+領域上にn領域、p領域が交互に配置されている。

図9は本発明の請求項40を図8とは異なる形態で適用したnチャネル縦型MOSデバイスの耐圧支持層部分の模式図である。低抵抗n+領域上にn領域が配置され、n領域の上にn領域、p領域が交互に配置され、その上にn-領域が配置されている。

図10は本発明の請求項40を図8、図9とは異なる形態で適用したnチャネル縦型MOSデバイスの耐圧支持層部分の模式図である。低抵抗n+領域上にn領域が配置され、前記n領域内部にp領域が局部的に規則的に配置されている。

図11は本発明の請求項40を図8、図9、図11とは異なる形態で適用したnチャネル縦型MOSデバイスの耐圧支持層部分の模式図である。低抵抗n+領域上にn領域が配置され、前記n領域内部にp領域が柱状に規則的に配置されている。

【図面の簡単な説明】

【図1】本特許を適用したnチャネル縦型MOSデバイスの耐圧構造断面模式図

【図2】本特許を適用したnチャネル縦型MOSデバイスの耐圧構造断面模式図

【図3】本特許を適用したnチャネル縦型MOSデバイスの耐圧構造断面模式図

【図4】V_{br}とガードリング本数の関係を示す図

【図5】pウェルと1本目ガードリングとの間隔とV_{br}関係を示す図

【図6】1本目と2本目ガードリングとの間隔とV_{br}関係を示す図

【図7】本特許を適用したnチャネル縦型MOSデバイスの耐圧支持層模式図

【図8】本特許を適用したnチャネル縦型MOSデバイスの耐圧支持層模式図

【図9】本特許を適用したnチャネル縦型MOSデバイスの耐圧支持層模式図

【図10】本特許を適用したnチャネル縦型MOSデバイスの耐圧支持層模式図

【図11】本特許を適用したnチャネル縦型MOSデバイスの耐圧支持層模式図

【図12】従来のnチャネル縦型MOSFET断面構造図

【図13】2本目と3本目ガードリングの間隔とV_{br}値を比較した図

【符号の説明】

1 1 n+基板

1 2 n-ドレイン層

1 3 pウェル層

1 4 表面層

1 5 n+層

1 7 ゲート絶縁膜

1 9 ソース電極

3 1 n+領域

3 2 n-層

3 3 絶縁層

3 5 ソース電極

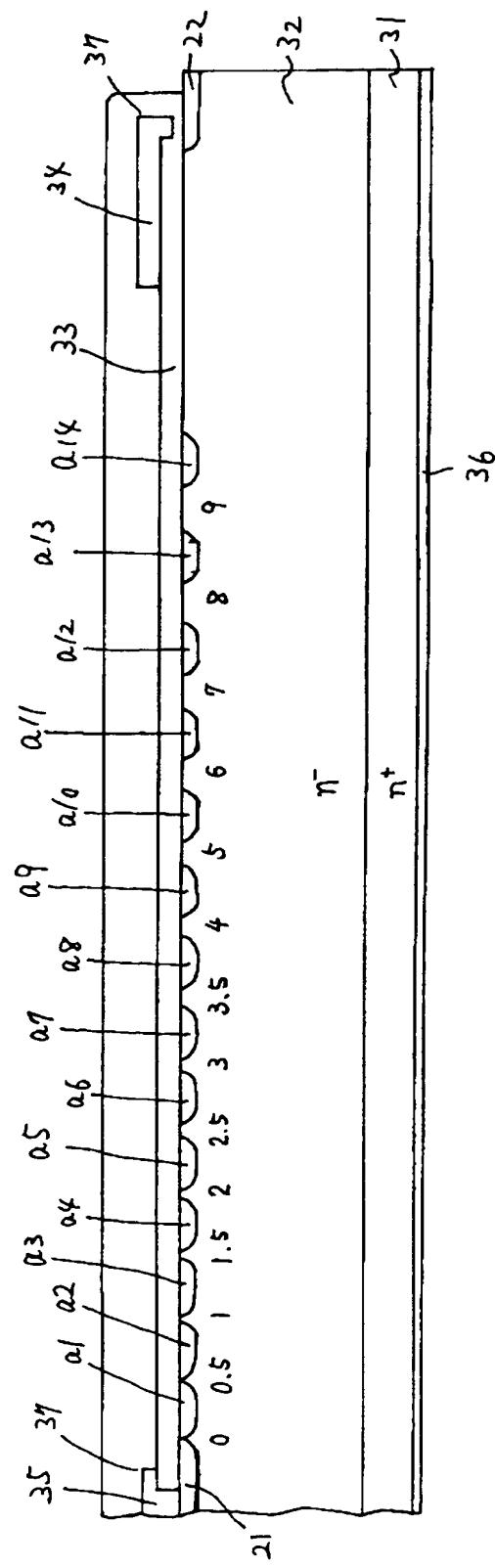
3 6 ドレイン電極

3 7 ポリイミド膜層

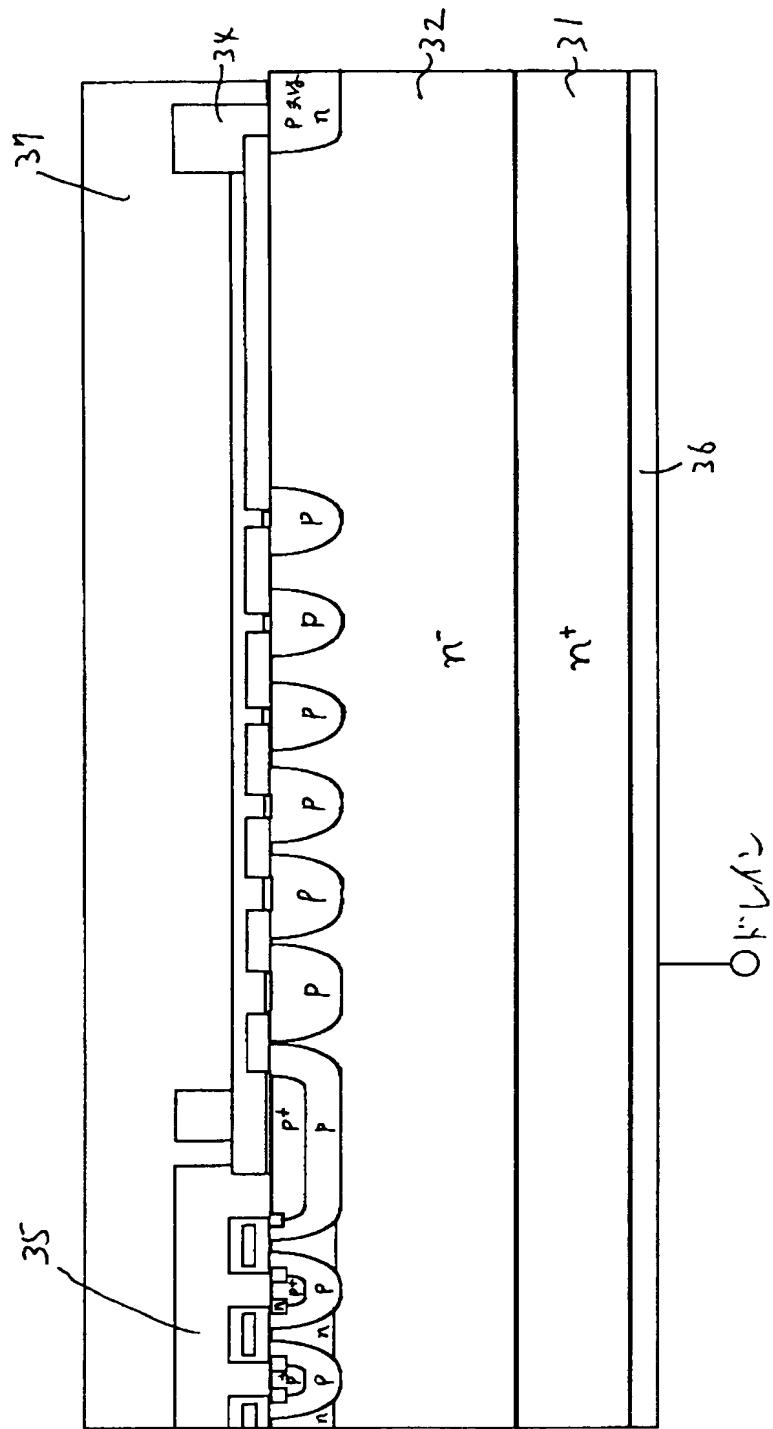
特2000-355741

【書類名】 図面

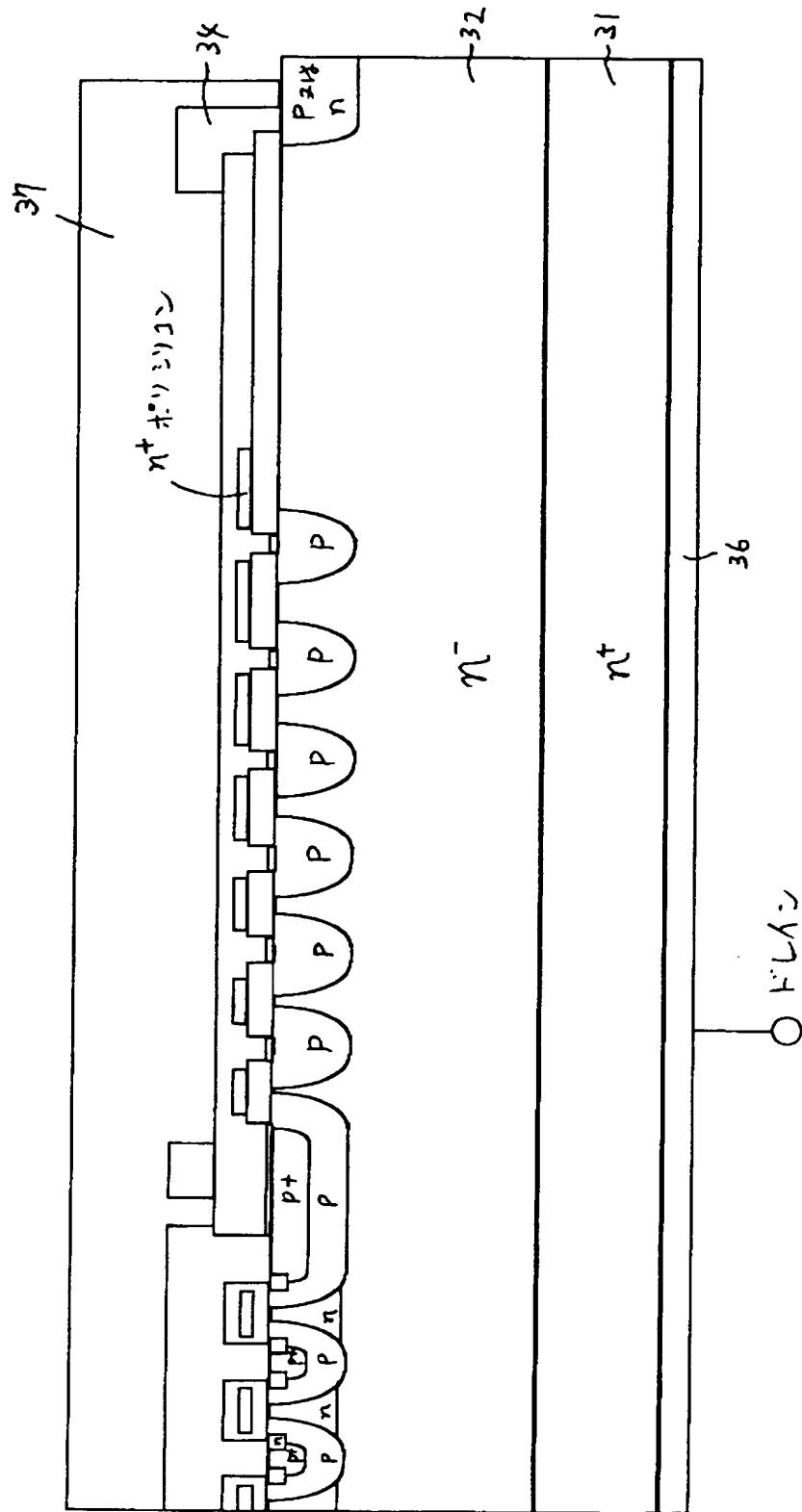
【図1】



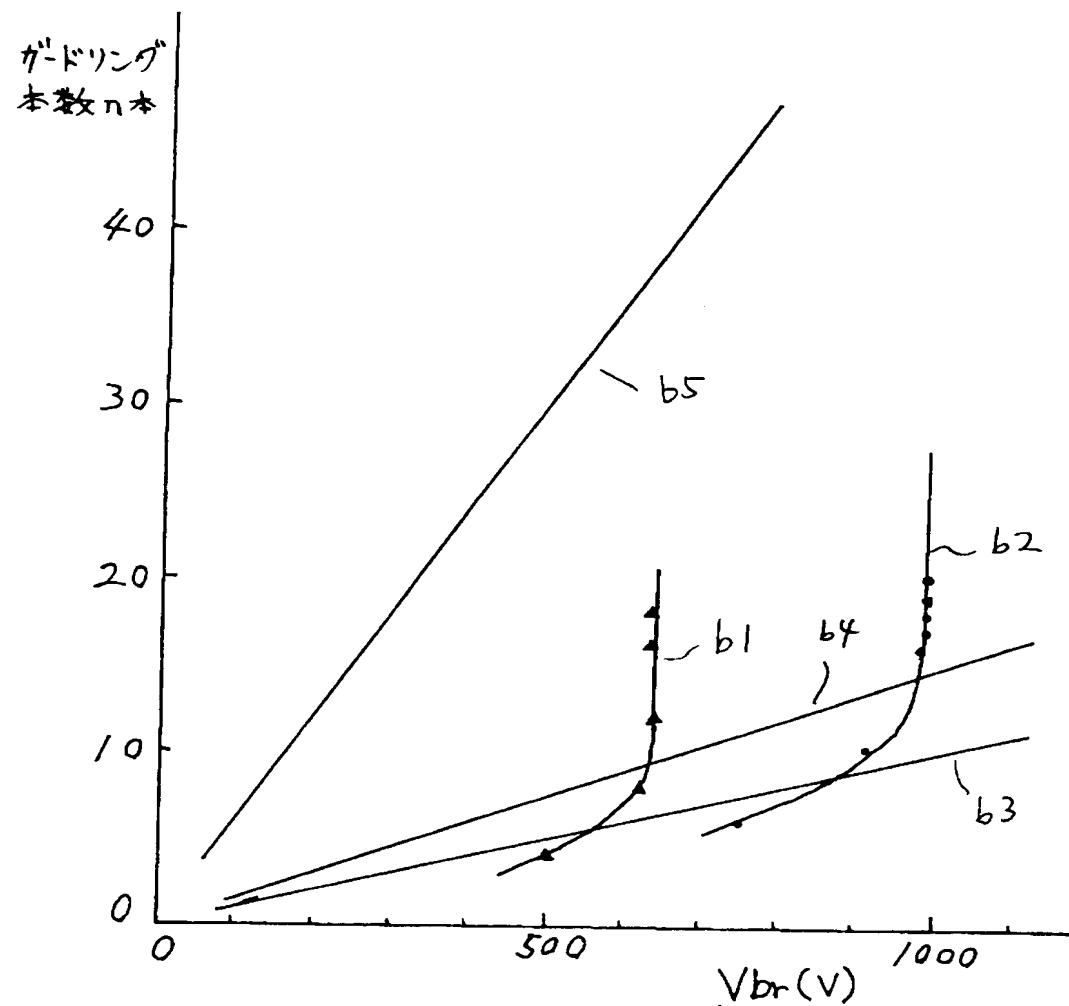
【図2】



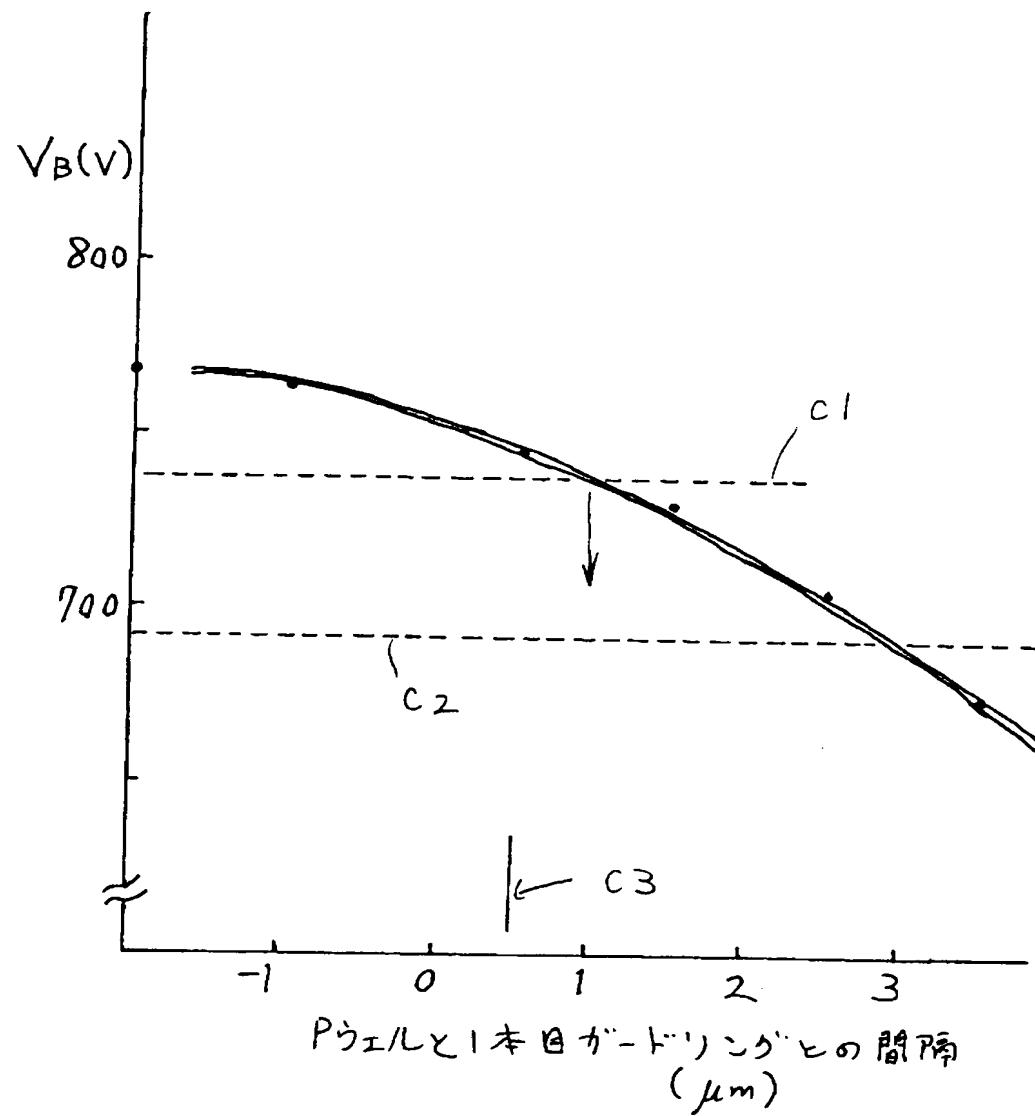
【図3】



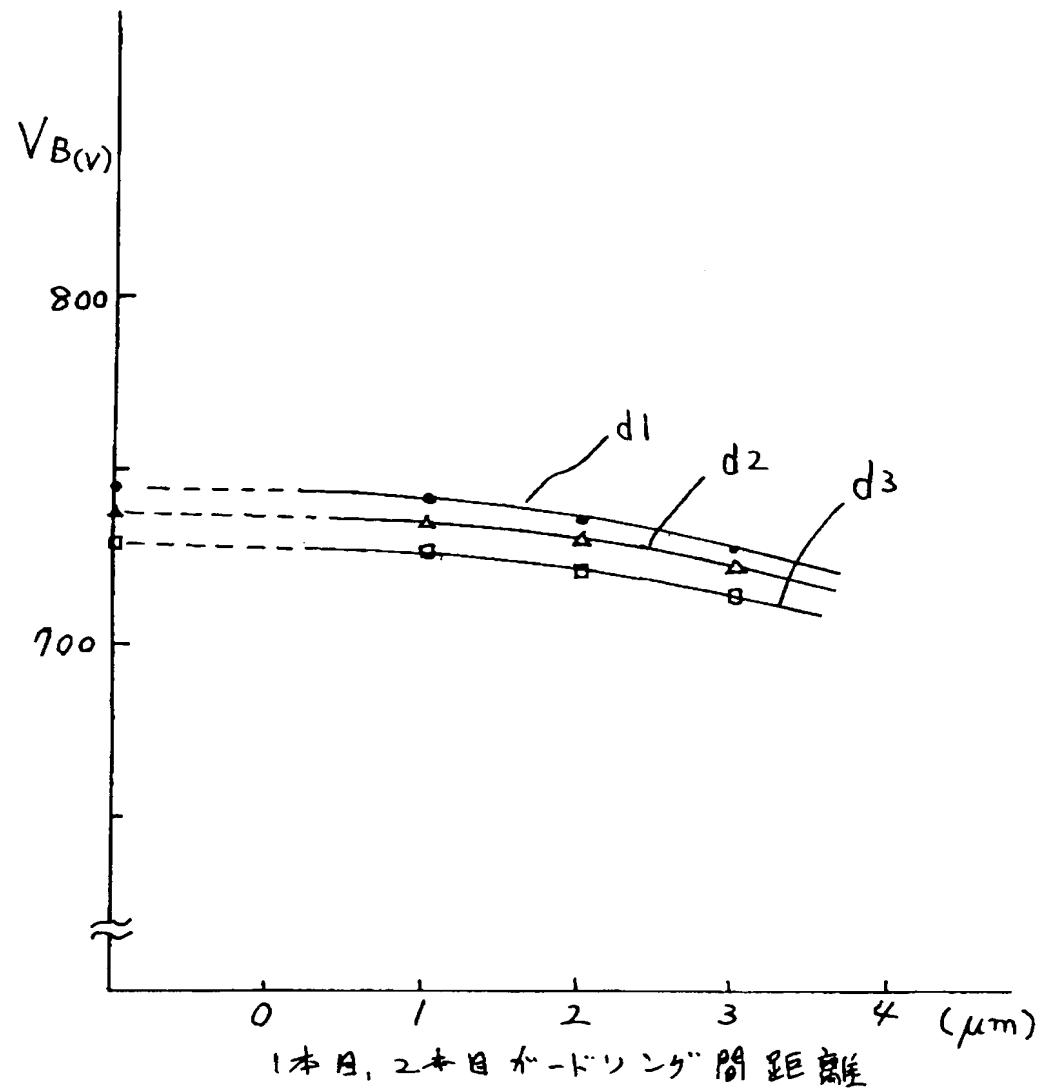
【図4】



【図5】

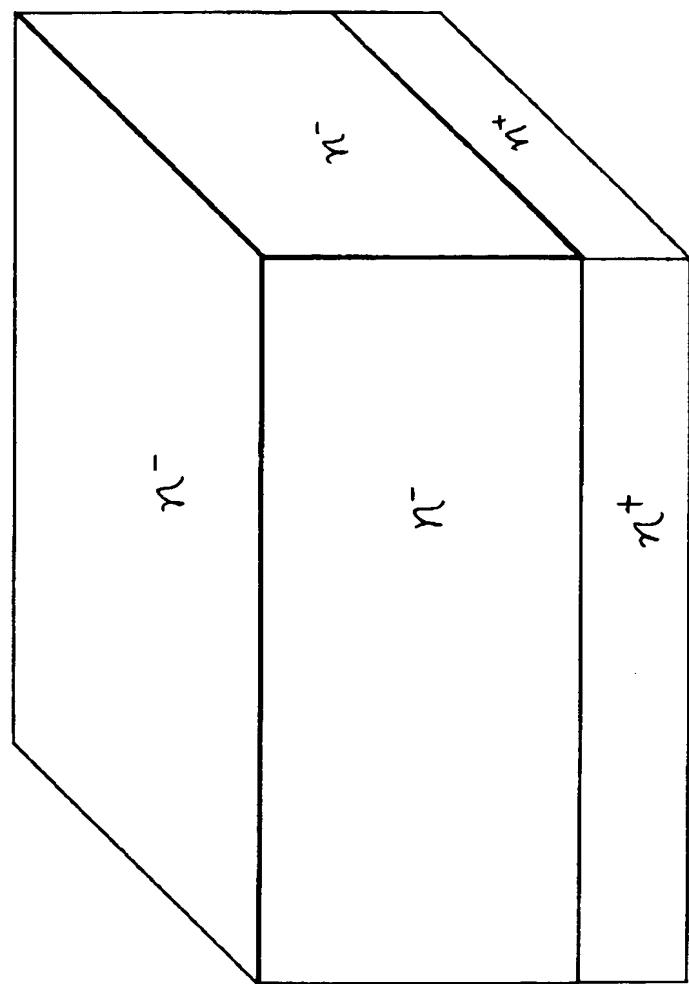


【図6】

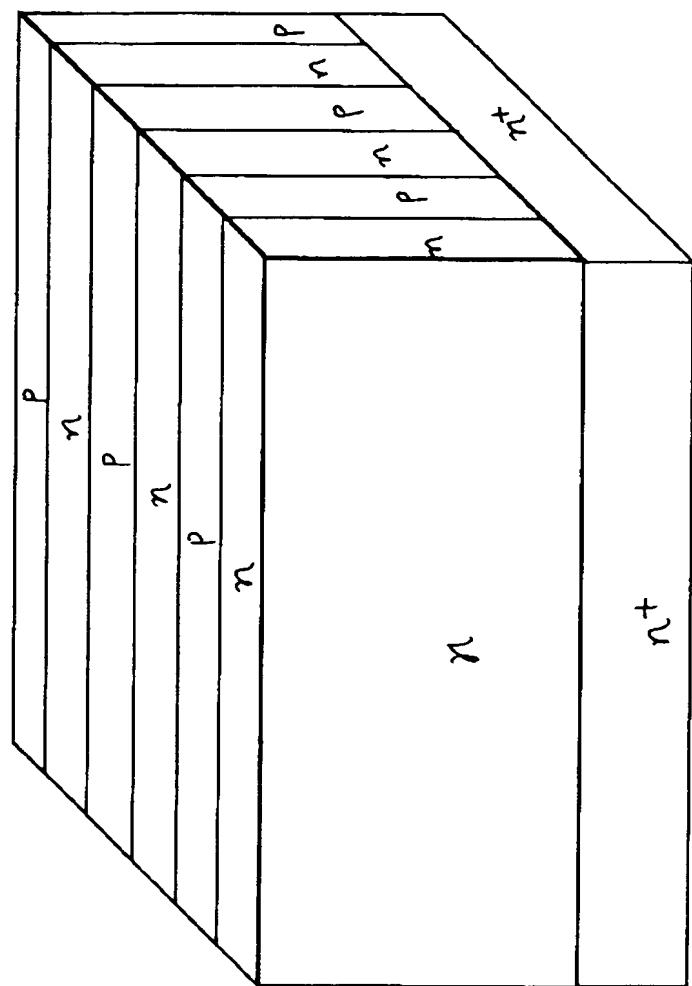


特2000-355741

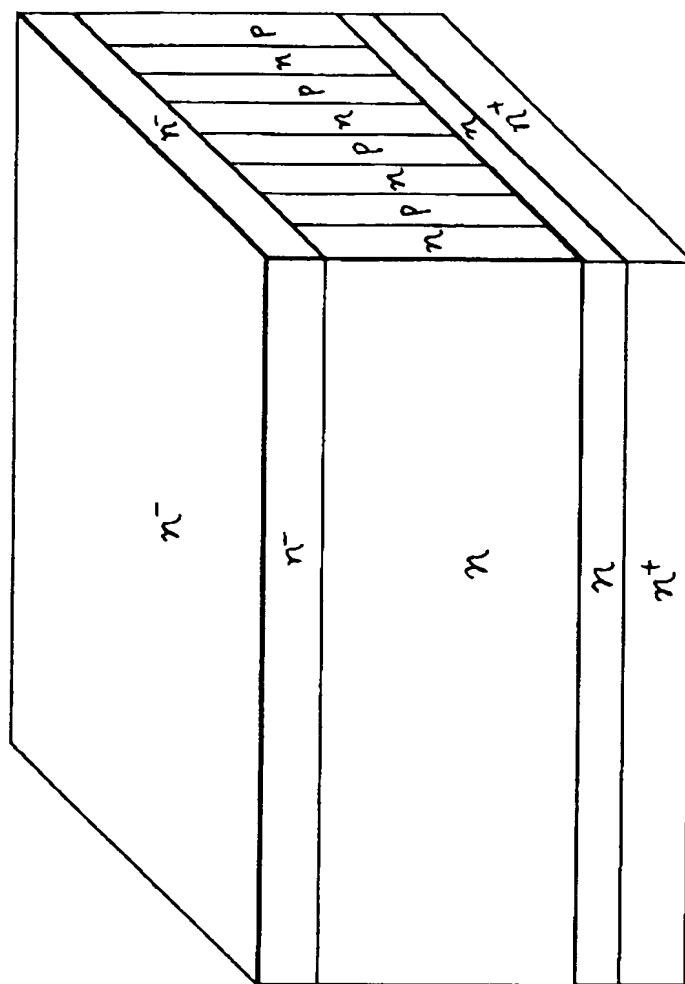
【図7】



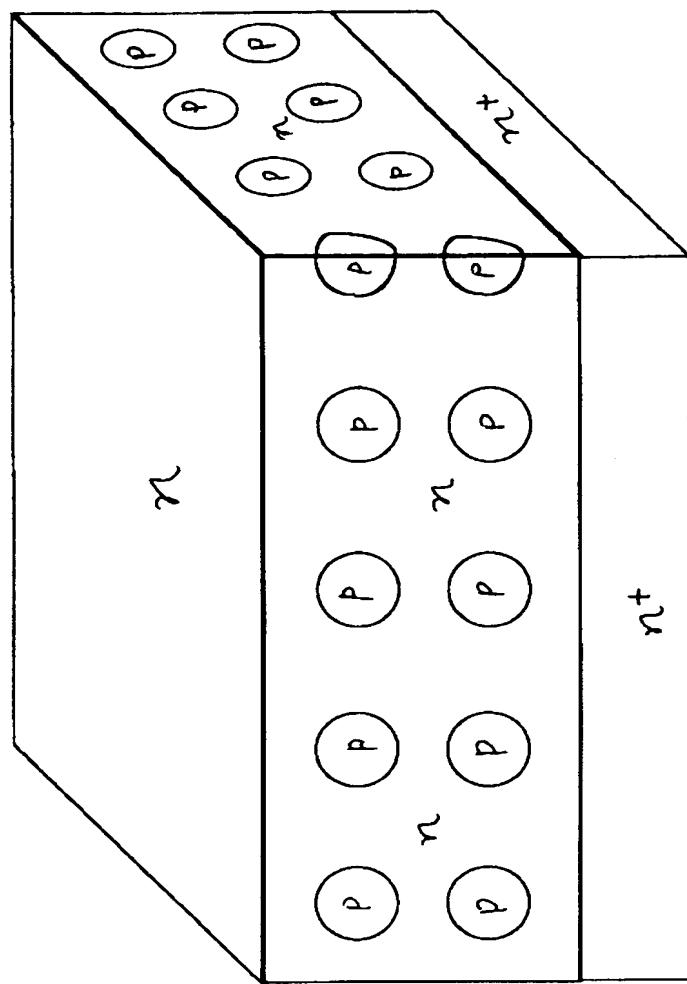
【図8】



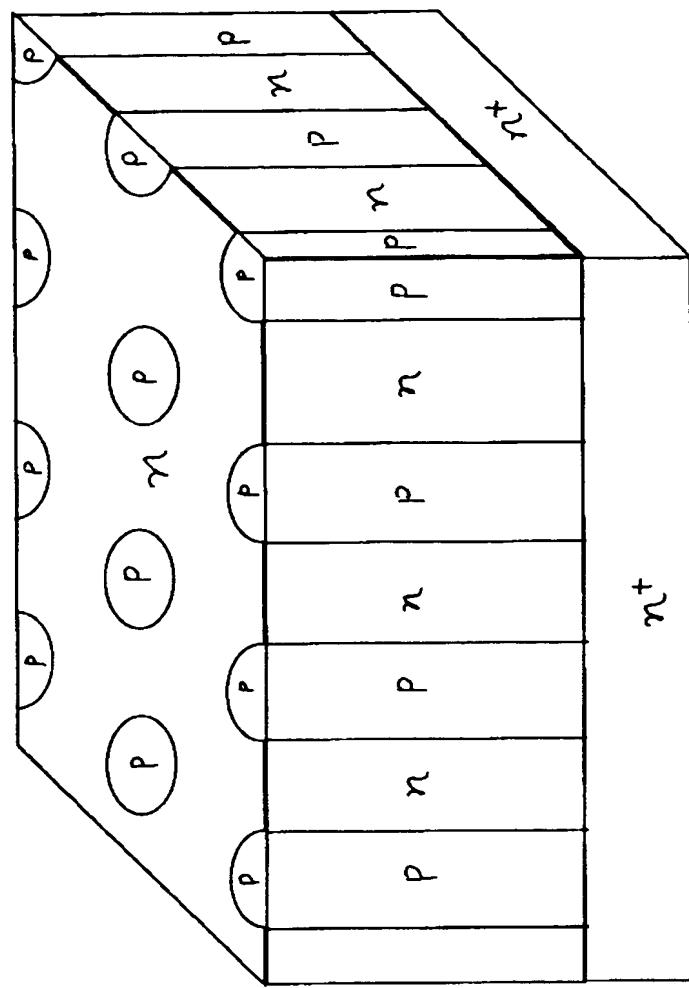
【図9】



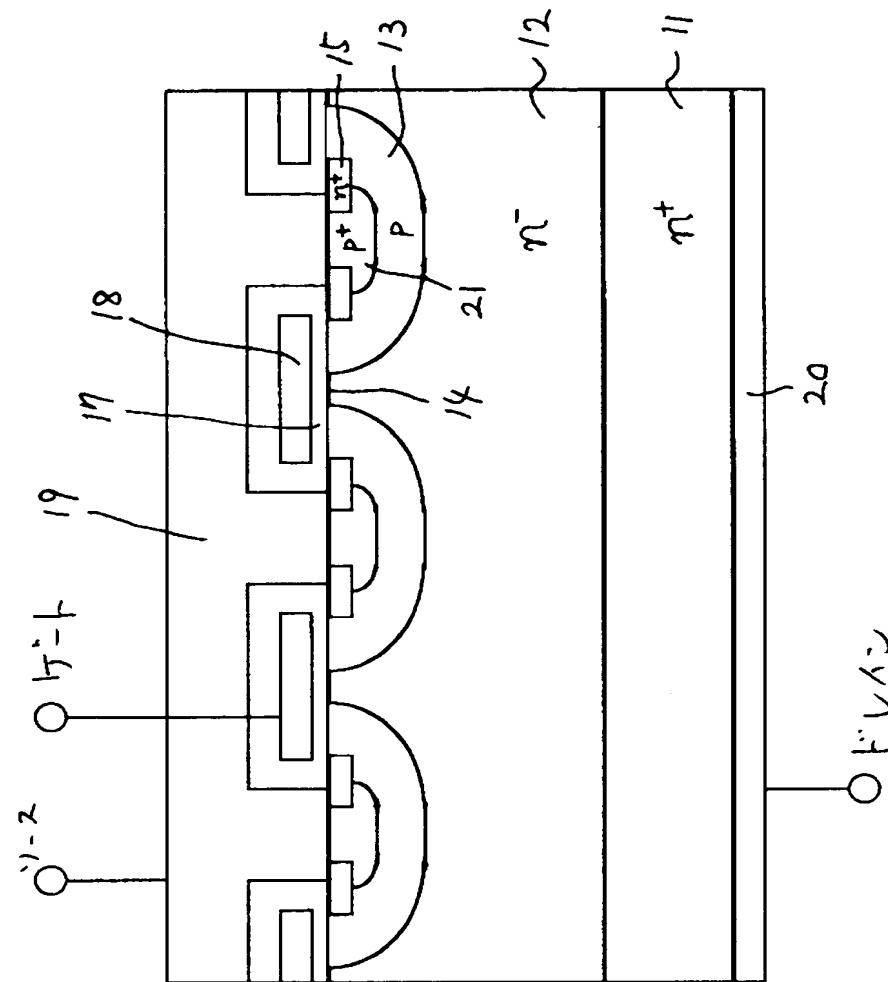
【図10】



【図 1 1】



【図12】



【図13】

3本ガードリングの間隔とV _B				
Pウェルと1本目	1本目と2本目	2本目と3本目	V _B	Pウェルと1本目、2本目ガードリング間隔の時のV _B 比率
0.5 μm	1.0 μm	1.0 μm	738 V	99.6 %
0.5 μm	1.0 μm	2.0 μm	737 V	99.4 %
1.0 μm	1.0 μm	1.0 μm	732 V	99.6 %
1.0 μm	1.0 μm	2.0 μm	730 V	99.3 %

【書類名】 要約書

【要約】

【課題】 オン抵抗と耐圧とのトレードオフ関係を大幅に改善させて、高耐圧でありながらオン抵抗の低減を実現可能とする半導体素子の耐圧構造を提供する。

【解決手段】 半導体装置の耐圧をV_{br} (V)、前記複数の第2導電形ガードリングの数をn (本) としたとき、nを $1.0 \times V_{br}/100$ 以上とする耐圧構造とすることで、電圧支持層が低抵抗で高耐圧を発生を発生させることが可能となる。つまり、従来の耐圧構造が耐圧を落とす原因となっていたpウェルとnードレイン領域とのp-n接合部分の曲率形状部分の直近に1番目のガードリングを配置することで前記pウェルから伸びる空乏層が簡単に1番目のガードリングに到達し、pウェルと1番目のガードリング間の距離が短いことから、曲率形状部分の電界強度を極端に低減することが可能となり、nードレイン領域の抵抗が低くても高耐圧化が可能となる。同様の関係が1番目のガードリングと2番目のガードリング間、2番目のガードリングと3番目のガードリング間のように隣り合うガードリング間で成立することから高耐圧化が可能となる。

【選択図】 図1

出願人履歴情報

識別番号 [000005234]

1. 変更年月日 1990年 9月 5日

[変更理由] 新規登録

住 所 神奈川県川崎市川崎区田辺新田1番1号
氏 名 富士電機株式会社